

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

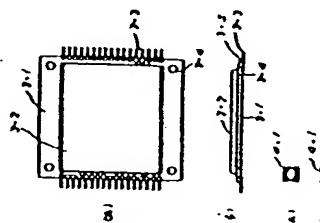
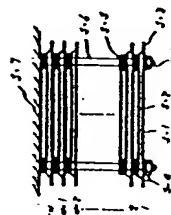
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) MOUNTING METHOD OF MULTICHIP PACKAGE:

- (11) 58-96756 (A) (43) 8.6.1981 (19) JP
 (21) Appl. No. 56-194428 (22) 4.12.1981
 (71) TOKYO SHIBAURA DENKI K.K. (72) YOSHITAKA FUKUOKA
 (51) Int. Cl. H01L23/32, H01L23/02

PURPOSE: To perform mounting of the multichip packages having favorable efficiency by a method wherein penetrating holes of resin blocks are positioned to penetrating holes of two or more provided at the circumferential part of the respective multichip packages, and metal bars are inserted therein to be supported and to be fixed to a case body.

CONSTITUTION: IC's are supported to be fixed to a substrate 3-1, and are sealed airtightly by a cap 3-2. Input-output terminals 3-3 are soldered with silver solder 3-5 outwardly and in parallel with the face of the substrate. The penetrating holes 3-4 are provided in the substrate 3-1 at the circumference of the cap 3-2. Penetrating holes 4-1 of the same diameter with the hole 3-4 of the substrate 3-1 are provided in the resin blocks of Teflon, etc., having a little elasticity, and utilizing the holes 4-1 of the blocks 5-5 thereof and the holes 3-4 of the substrate, the rigid body bars 5-6 of metal, etc., are inserted using the blocks 5-5 as the interlayer insulators, and the tips are fixed by screws to the case body 5-7. By this constitution, the multichip packages of a large number can be mounted having favorable efficiency and in high density to the case body having a space in the perpendicular direction.



⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—96756

Int. Cl. 1.1

識別記号

厅内整理番号

③公開 昭和58年(1983)6月8日

FILE: H,01;L: 23/32

6240-5F

発明の数 1

23/02

7738-5F

	未请求	请求
审查请求	0	0

1

(全 5 頁)

④マルチチップパッケージの実装方法

特許第一願 昭56-194428

出 願 昭56(1981)12月4日

⑫ 兇明者福岡我孝

川崎市幸区小向東芝町1東京芝

浦電気株式会社総合研究所内

④出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑭代理人弁理士 則近惠佑： 外1名

兄弟の名姓

⑤ マルチデブパッケージの興成方法

特殊請求の範囲

(1) 配線基板上に複数個の電子的機能要素をナ
 イプとして実装し、当該配線基板の周辺部に電子的
 機能要素であるチップ部品を表面に子行に配線基
 板の外向きに入出力端子を形成し、全体を気密封
 装べくキャップ等の基体を覆装し、カールナッ
 プパッケージの装填方法に於て、前記第1の配線
 基板の気密封止すべく形成され、カールナッ
 プ等の周辺部の少なくとも2ヶ所以上に通孔
 を設け、第2〜第Nの配線基板の周辺部にも第1
 の配線基板と同一箇所同一サイズの通孔を設け、
 等の通孔よりも大きき大きさを有し、それ等
 の通孔とはほぼ同一サイズの穴を具備してなる高
 品質配線用カールナッパパッケージの気密封止用の
 ナイプ等の基体の前記配線基板表面からの高さ
 の多少為めの多少弾力性を有するブロックを
 用い、該ブロックを各々の配線基板間及び配線

着板と底体等の基体との間に挿入し、第1から第Nまでの配線着板のすべての通孔と、各々の配線着板間及び配線着板と底体等の基体との間に挿入した各々のプロットのすべての通孔とを~~は~~通過する径少なくとも2本以上の剛性部を、前記すべての通孔に挿入し、その剛性部の先端部を底体等の基体に固定せしめる事により、第1から第Nまでのマルチチップパッケージを支持固定せしめる事を特徴とするマルチチップパッケージの製造方法。

12) 固体等の本体に支持固定された第1～第Nまでの各々のマルチチップパッケージの配線基板の端子の機能被与であるチップ部晶湾曲面と平行に配線基板の外向きに形成された前記各々の入出力端子の存在している位置と同一位置配線を有する入出力端子の大きさより多少大きめの穿孔を有し、特定の回路機能を有すべく配線を形成したフレキシブル配線基板を形成し、該フレキシブル配線基板を以て第1～第Nのマルチチップパッケージの各々の入出力端子に挿入し、接続する事により、第1～第Nまでのマルチチップパッケージ相互間の電

電気的接続を形成する事を特徴とする前記特許請求の範囲第1項記載のマルチチップパッケージの実施方法。

(13) 前記多小出力性を有するブロックがブロック形状ではなく、前記配線基板のチャップ等の基体の周辺部に設けられ、かつ2ヶ所以上の通孔と同一位置には同一の大きさの通孔を設け、前記気密封止すべきチャップ等の基体の周辺部を囲む様な形状構造を有する事を特徴とする前記特許請求の範囲第1項記載のマルチチップパッケージの実施方法。

3. 発明の詳細な説明

発明の成する技術分野

本発明は、配線基板上に複数の電子的機能要素をチップ状態で実装し、全体を気密封止すべきチャップ等の基体を搭載したマルチチップパッケージの実施方法に関するものである。

従来の技術とその問題点

近年、電子的装置の小型、高集積化、高速化、高信頼性化の要求が著しく高まって来ている。それ等

の要求を満足すべく例えばアルミナセラミック基板上に導体ペースト及び絶縁体ペーストを印刷成形、焼成を繰り返して、積層する事により特定の回路機能を持たせる所謂厚膜回路基板、あるいはグリーンシート上に導体ペーストと絶縁体ペーストを乾燥状態で積層し、積層した後、還元雰囲気中で同時焼成する事により特定の回路機能を持たせる所謂印刷積層ノライズドセラミック基板のものであり、3-2はこれらの例、焼成後、それ等のグリーンシートを複数枚敷き配線基板3-1に重ね合わせ加圧した後、還元雰囲気中で同時焼成する事により特定の回路機能を持たせる所謂薄型基板を示す。またトランジスタ等により形成した高密度配線基板上に1-2のチップ部品、Cチップ等のチップ部品を複数個実装し、全体を封けあるいは真空気密封止する所謂マルチチップパッケージングされた入出力端子は、技術が同様に示されている。

この様なマルチチップパッケージの外観構造は、図3の如く示す如く高密度配線基板1-1に形成された少くとも及び全体を気密封止すべき配線基板1-1上(図3)の通孔を示

パッケージの配線基板1-2の両面を場合により、本発明の

以下、本発明の

は本発明による

(13)

(14)

例えばハンダ付けあるいはウエハダイニング等により支持固定されたチャップ等の基体1-2、及び配線基板1-1の周辺部に例えばハンダ付けあるいは真空封止等により形成された入出力端子1-3から構成されている。図3において1-4は電子的機能要素であるICチップを、1-5は同じくコンデンサチップを示してあり、また1-6は、それ等のICチップ1-5と配線基板1-1との電気的接続を形成する例えばAu線等のワイヤを示している。この様なマルチチップパッケージを複数個使用して1つのシステムを形成するわけであるが、この様な場合、従来の図4(図は平面図、図は側面図)に示す如く所謂プリント配線基板2-1上に前記図1に示すマルチチップパッケージの入出力端子1-3を折り曲げ成形し、その入出力端子2-3を前記プリント配線基板2-1のスキームホール内に挿入し、例えばハンダ付け2-5等て支持固定する事によりマルチチップパッケージを複数個プリント配線基板上に実装し、全体のマルチチップパッケージの電気的接続を形

成する事により1つのシステムを形成している。マルチチップパッケージと配線基板2-1は、2-1はマルチチップパッケージの配線基板、2-2は気密封止用のチャップ等の配線基板、5-2をそれぞれ示している。しかしながらこの図3の方法では、形成すべき1つのシステムを構成する導体等の基体の平面的な面積が前記マルチチップパッケージ(第1図)を複数個搭載できる面積を有する場合に問題はないが、前記図4の基体の平面的な面積がマルチチップパッケージ(第1図)の平面的な面積とはほぼ同等な面積を有する場合に、その導体等の基体内に前記マルチチップパッケージを実装する事は、なほ困難であり、成すべくもなかった。

発明の目的

本発明はこの様な事情を考慮して成されたものであり、その目的とする所は、平面的な面積が広い導体等の基体に効率的に多くのマルチチップパッケージを実装する方法を提供する事にある。本発明は前記導体等の基体の平面的な面積を有する平面と面積方向には、前記マルチチップ

の両面を場合により、本発明の

(15)

(16)

第 1-3, 2-3, 3-3, 5-3—マルチチップパッケージの入出力端子。

2-4—プリント配線基板。

3-4, 5-4—本発明により形成されたマルチチップパッケージ用配線基板周辺の通孔。

5-6—本発明による金属等の剛性層。

5-7—基板等の基体。

代理人 弁護士 謝 近 道 佑
(2名)

第 3 図

(a)

(b)

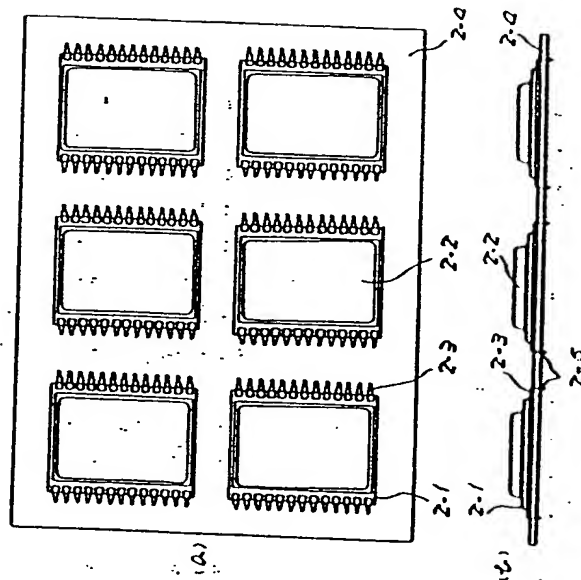
第 4 図

(a)

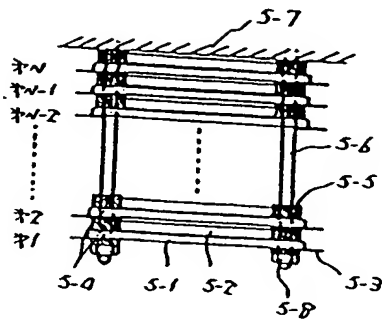
(b)

10

12



第 5 圖



第 6 圖

